



复旦微电子

FM33LEXX
低功耗系列MCU
PCB 设计建议

使用 FM33LEXX 系列芯片设计 PCB 时，为提高产品 ESD 抗干扰能力请参考如下设计建议。

1. MCU 摆放位置

ESD 可能会影响外部时钟电路引起 MCU 复位，推荐晶体电路放置距离板边最远的一侧(厂家根据实际结构进行摆放)

2. MCU 的 GND 走线

以 LQFP64 封装为例 1、在 ESD 试验时为保证 MCU 两个 GND 管脚地平面平衡性，推荐芯片下方有一块比较完整的铜，并将 51 脚和 33 脚的 GND 管脚连接起来（多放过孔），有利于 MCU 快速将积累的静电通过 GND 管脚释放掉。如图 2-1 所示；2、芯片电源地、VDD15 地、低频晶体地、高频晶体地最好在同一层连通，尽可能加大地。如图 2-2 所示

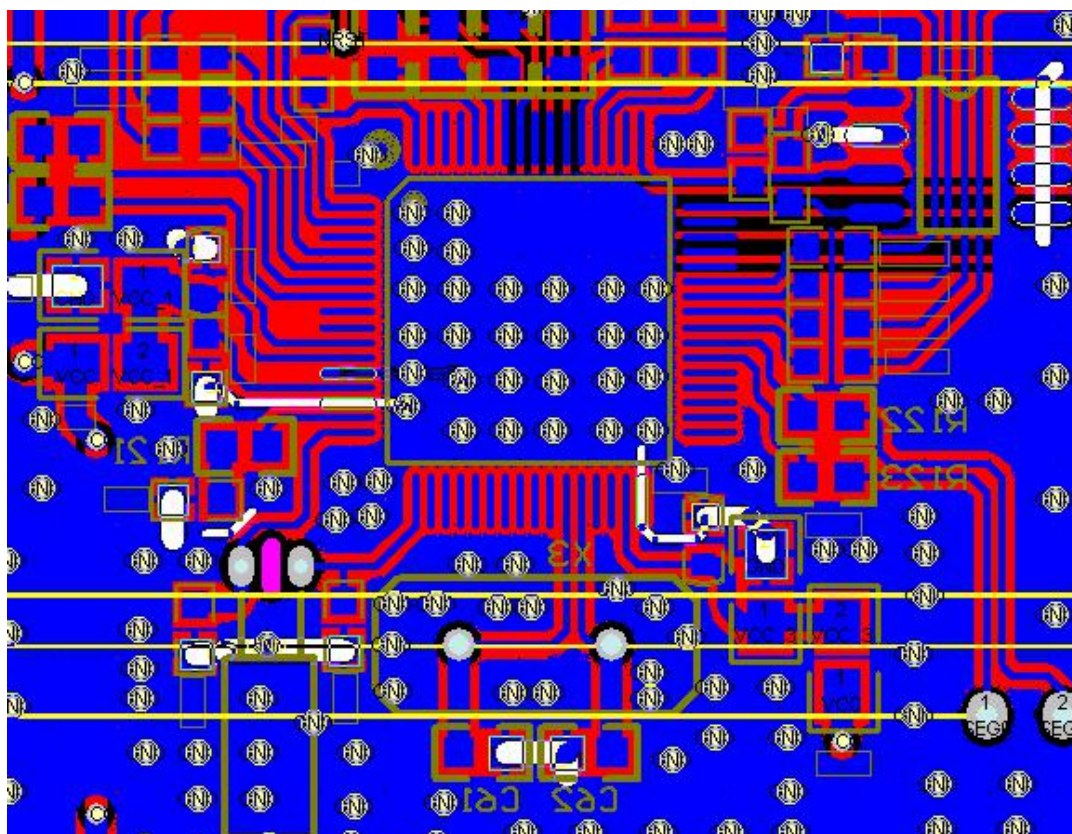


图 2-1

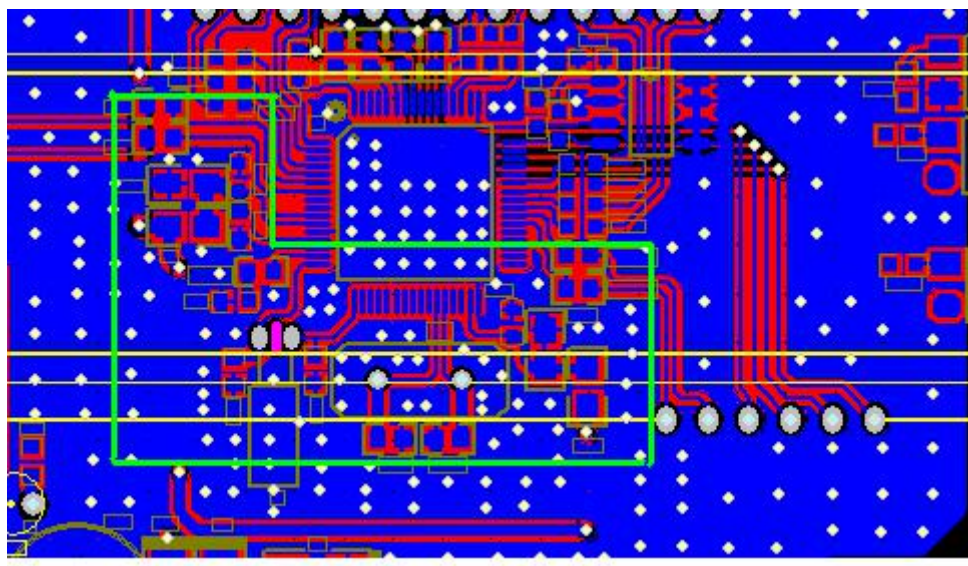


图 2-2

3. 液晶管脚走线

IO 使用使用 SEG 功能时, 如果某些 SEG 走线过长, 推荐靠近 MCU 管脚串电阻(或排阻)来提高抗静电能力, 如图 3-1 所示:

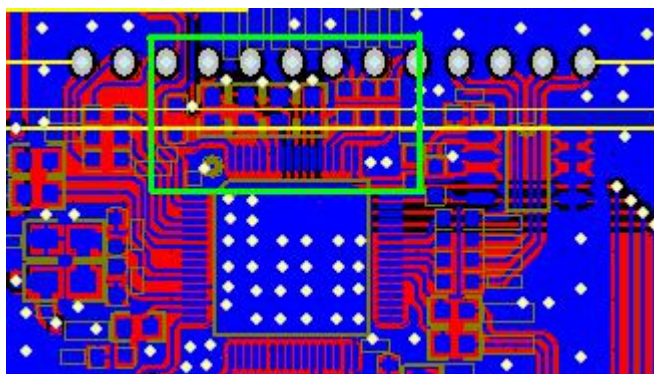


图 3-1

LCD 管脚走线周边条件允许尽量覆铜并多打过孔, 如图 3-2 所示:

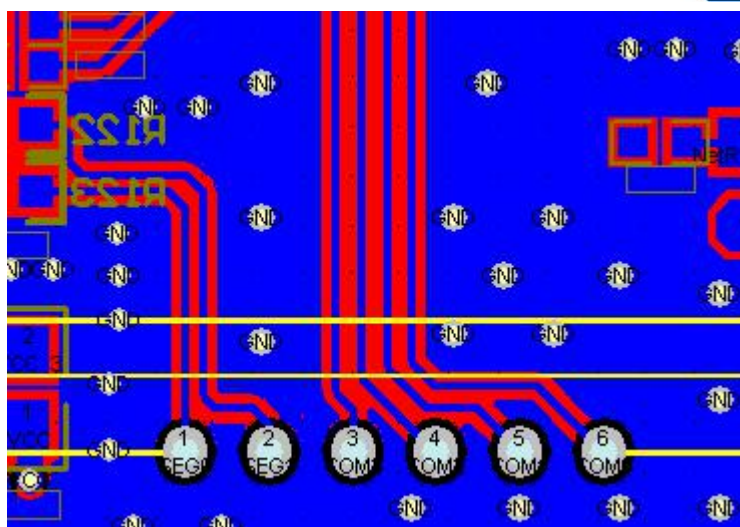


图 3-2

4. 电源与地走线

尽量将 GND 走线和电源走线加粗（最好 GND 走线宽于电源走线）并行连接到电源芯片，如图 4-1 所示：

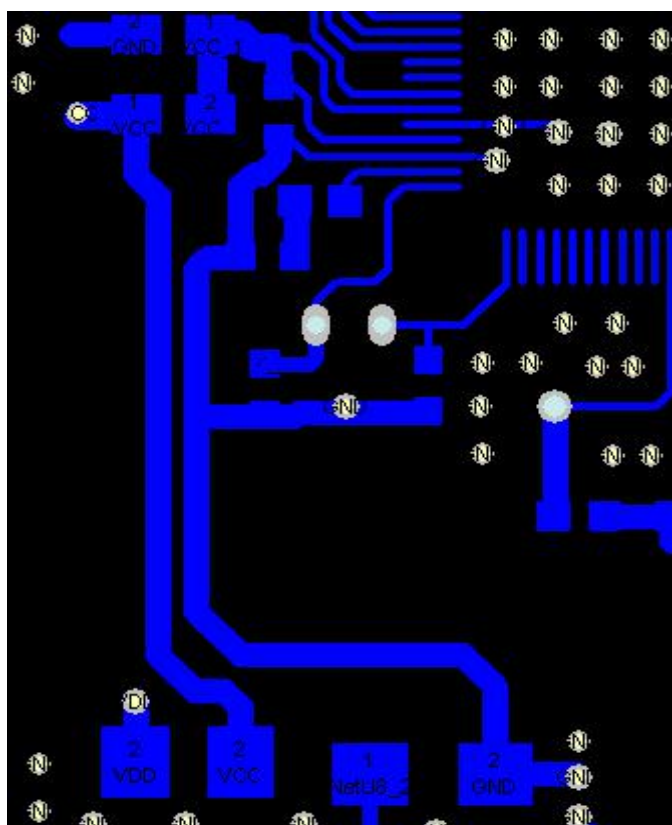


图 4-1

5. VDD15 串电阻

受 PCB 空间限制板级覆铜不完整,在 ESD、群脉冲等试验中可能会引起 MCU 复位,建议用户在第一版设计中 VDD15 先串 0-120 欧姆电阻再接 1uF 的去耦电容,之后根据试验情况,决定 VDD15 的电阻阻值。如图 5-1 所示:

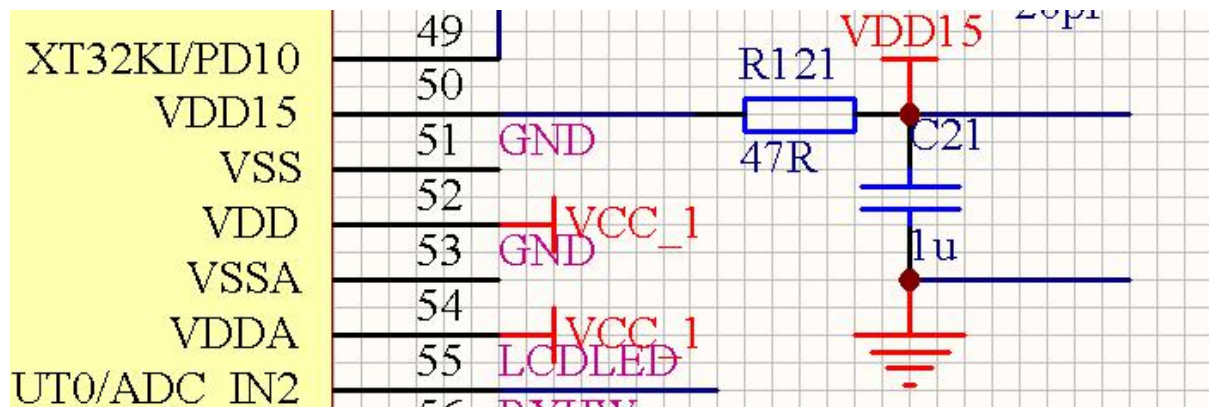


图 5-1



改版记录

2022.9	初版	
2023.2	V1.1	修改第 6 章 VDD15 串电阻的范围
2023.3	V1.2	删除 V1.1 版本的第 2、7、8 章