



复旦微电子

FM33FRXX
低功耗系列 MCU
PCB 设计建议

使用 FM33FRXX 系列芯片设计 PCB 时，为提高产品 ESD 抗干扰能力请参考如下设计建议。

1. MCU 摆放位置

ESD 可能会影响 MCU 模拟电路和时钟电路引起 MCU 复位，推荐复位电路和晶体电路放置距离板边最远的一侧(厂家根据实际结构进行摆放)

2. MCU 的 GND 走线

以 LQFP100 封装为例 1、在 ESD 试验时为保证 MCU 两个 GND 管脚地平面平衡性，推荐芯片下方有一块比较完整的铜，并将 20 脚和 21 脚和 43 脚连接起来（多放过孔），有利于 MCU 快速将积累的静电通过 GND 管脚释放掉。如图 2-1 所示：2、芯片电源地、（VDD15）REGC 地、低频晶体地、高频晶体地最好在同一层连通，尽可能加大地。如图 2-2 所示

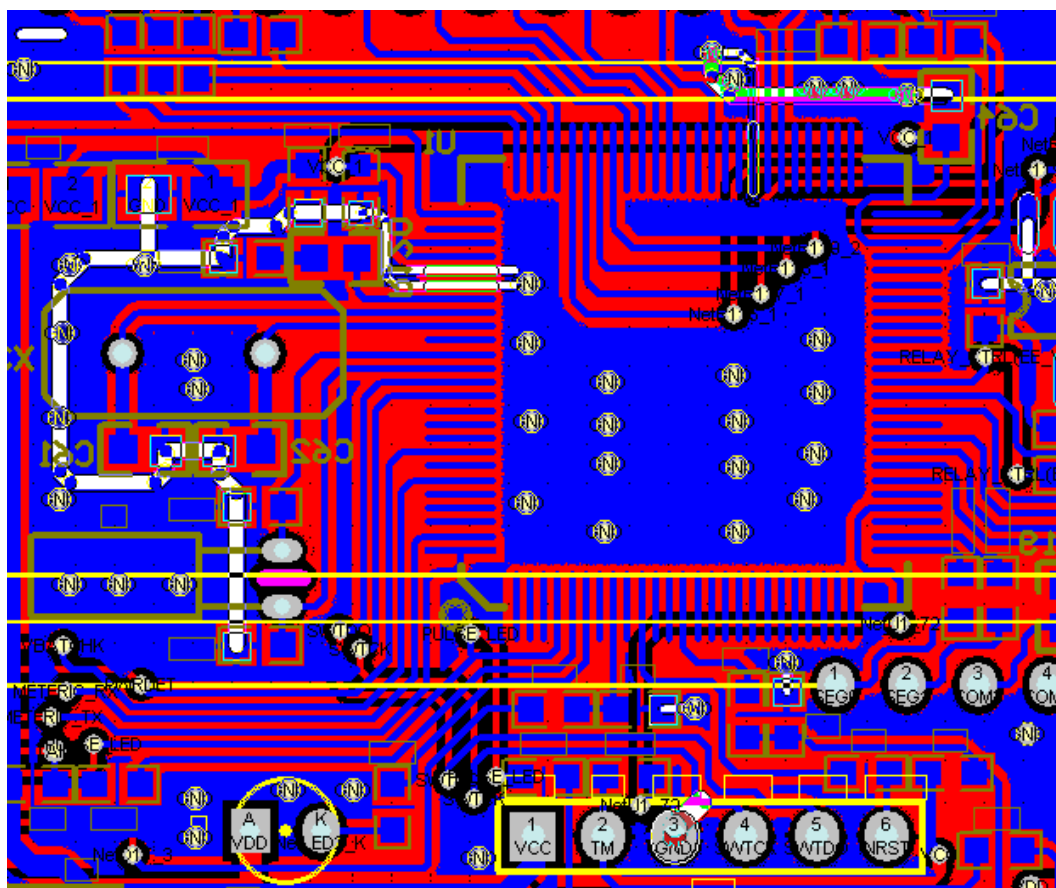


图 2-1

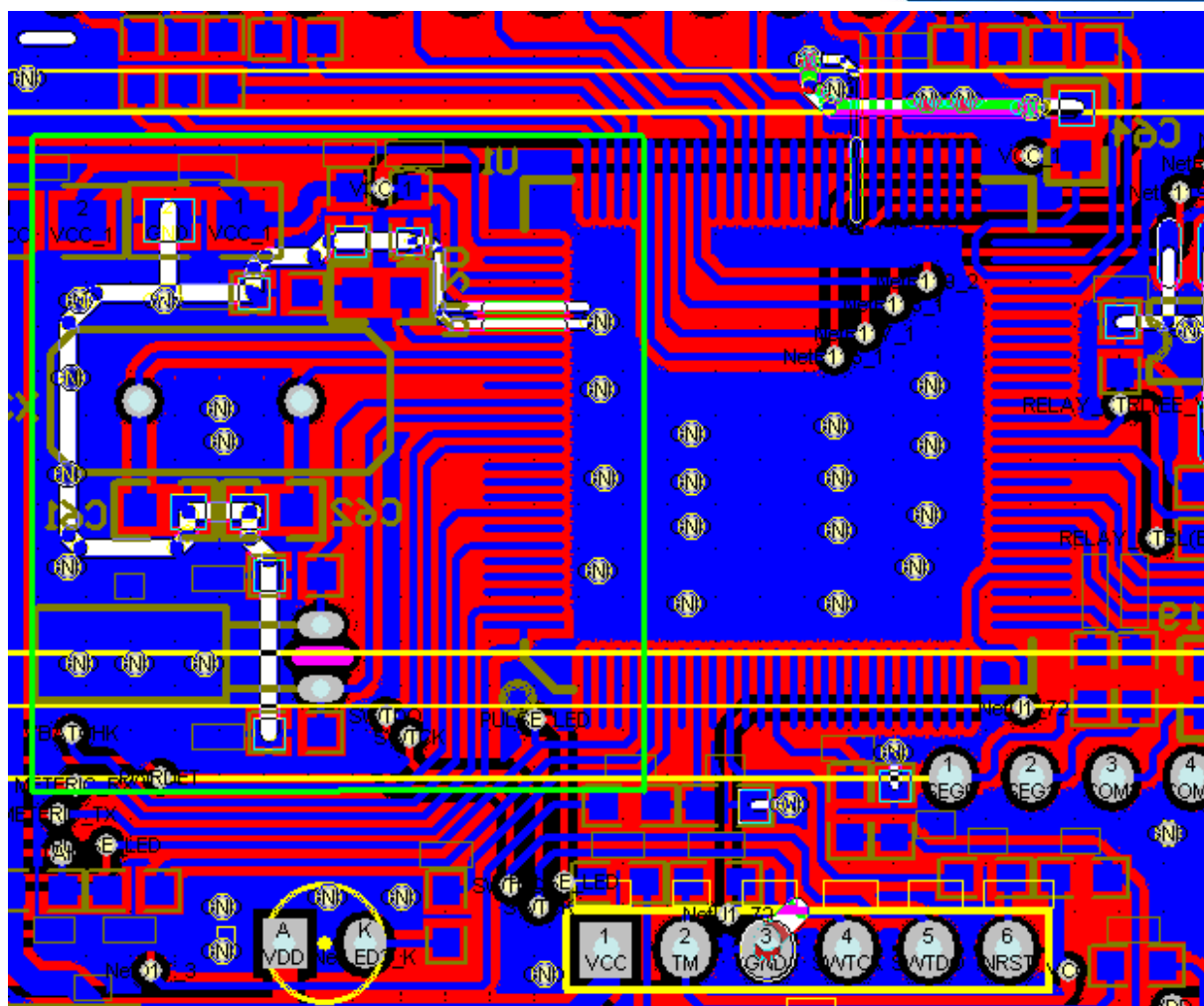


图 2-2

3. 液晶管脚走线

使用 SEG 功能（IO 口线）时，如果某些 SEG（IO 口线）走线过长，推荐靠近 MCU 管脚串电阻（或排阻）来提高抗静电能力，如图 3-1 所示：

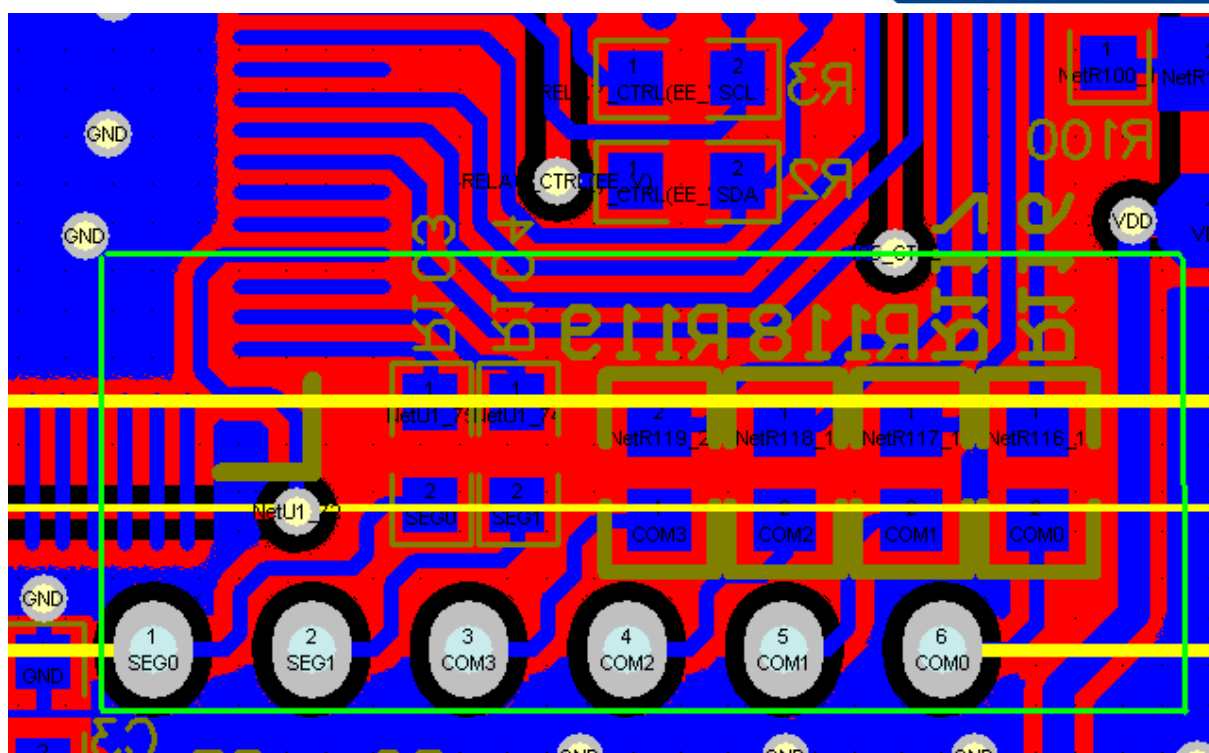


图 3-1

LCD 管脚走线周边条件允许尽量覆铜并多打过孔，如图 3-2 所示：

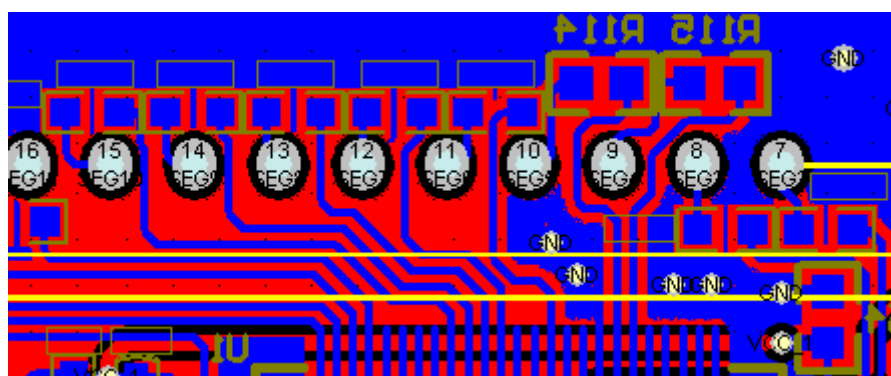


图 3-2

4. 电源与地走线

尽量将 GND 走线和电源走线加粗（最好 GND 走线宽于电源地走线）并行连接到电源芯片,要求先过电容再连接到 MCU，如果有条件就大面积敷地。如图 4-1 所示：

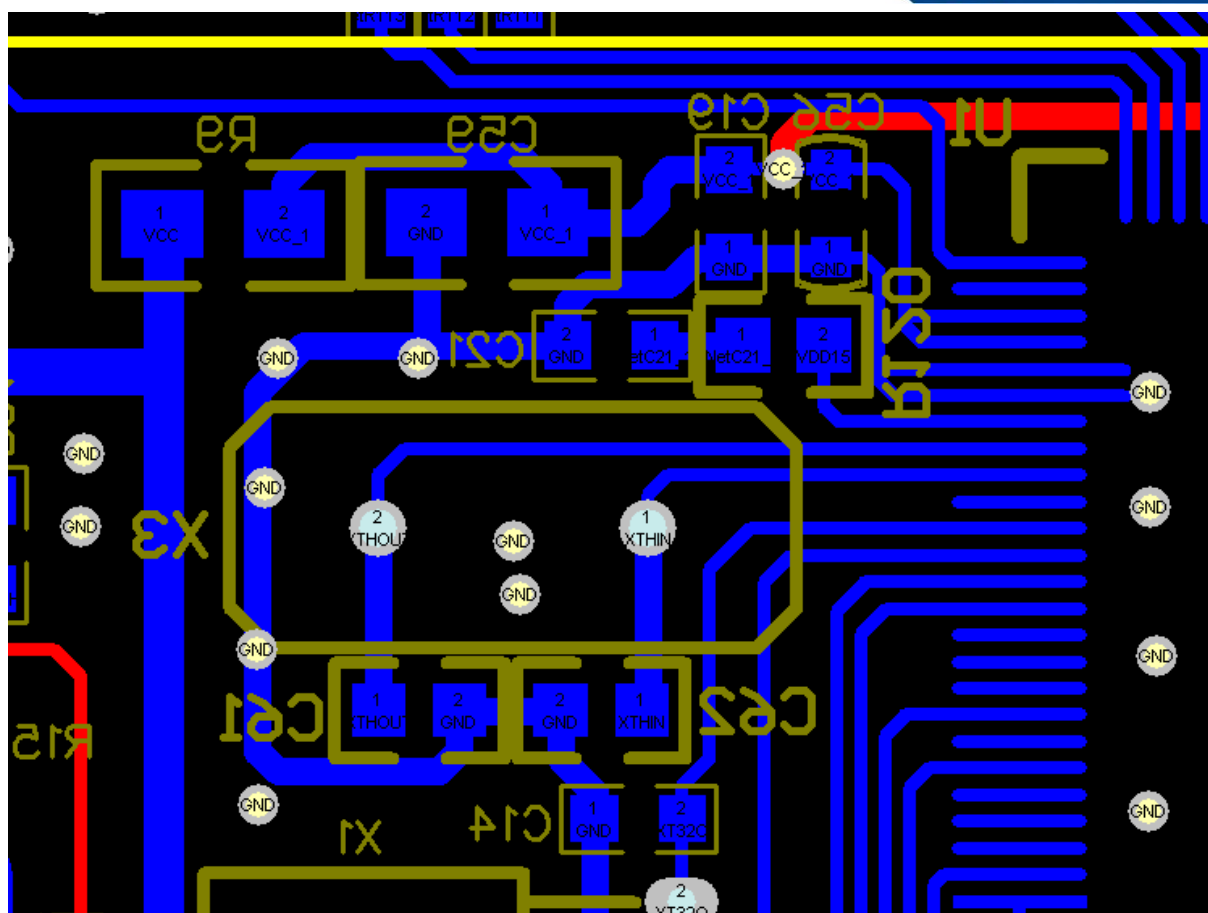


图 4-1

5. VDD15 串电阻

受 PCB 空间限制板级覆铜不完整,在 ESD、群脉冲、电警棍等试验中可能会引起 MCU 复位, 建议用户在第一版设计中 VDD15 先串 47 欧电阻再接 0.1uF 的去耦电容, 之后根据试验情况, 决定是否保留 **VDD15 串电阻**。如图 5-1 所示:

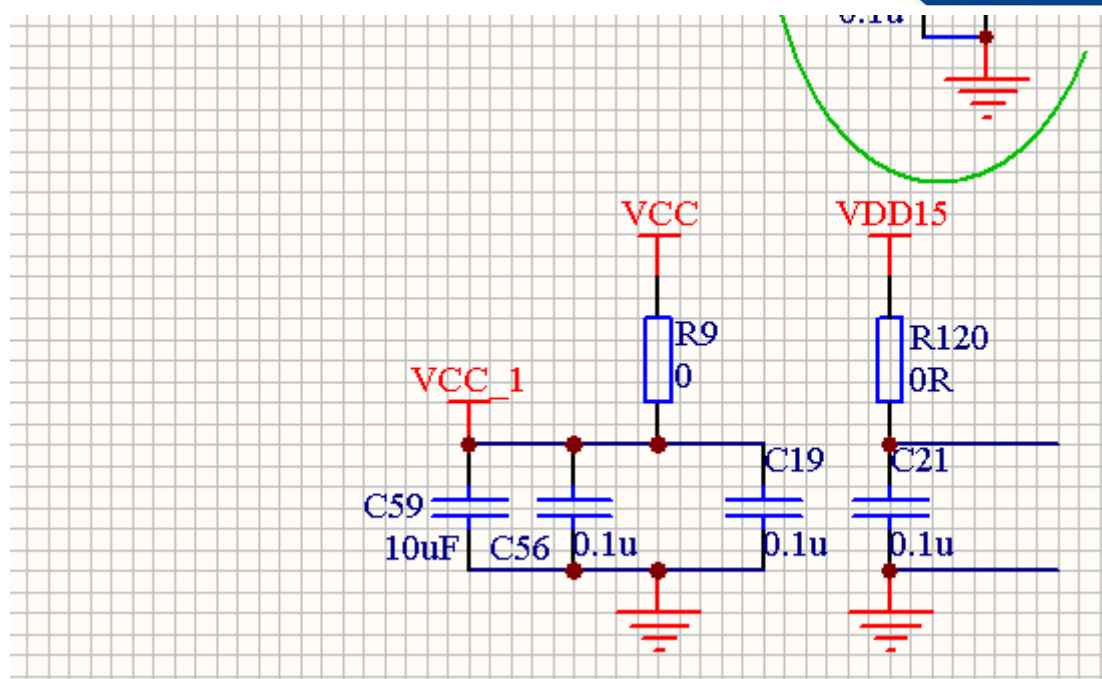


图 5-1



6. 软件可靠性

建议用户在软件设计上做如下处理来提高 EMC 特性:

- 1、看门狗在程序初始化之后尽早开启;